

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-086561

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G11C 11/41

(21)Application number : 10-195181

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 10.07.1998

(72)Inventor : NAFFZIGER SAMUEL D
ZHANG KEVIN X

(30)Priority

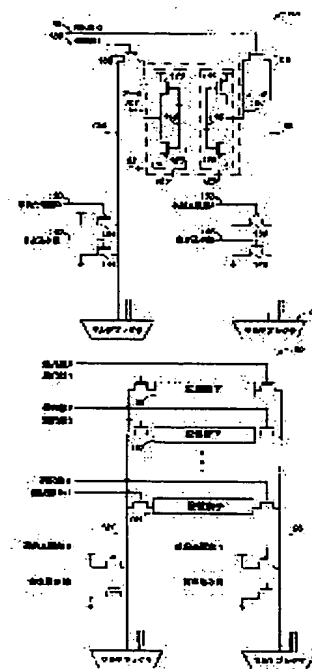
Priority number : 97 891173 Priority date : 10.07.1997 Priority country : US

(54) SINGLE-END READ/DUAL-END WRITE SRAM CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a static random access memory(SRAM) cell having a fast read speed and easy to add a preparatory port.

SOLUTION: This SRAM cell has one or more of storage elements 92, 182, 184, and is connected to a read-out component 98 by a single transmission line 96 and respective storage elements 92, 182, 184 are connected to the transmission line 96 through a switch 94, and one storage element one time is connectable to the transmission line 96 in a start state. The read-out component 98 generates an output showing a value to be recorded in the storage elements 92, 182 or 184 in the start state, and further, switches the transmission line 96.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平11-86561

(43) 公開日 平成11年(1999) 3月30日

(51) IntCl. ⁴ G11C 11/41		F I	G11C 11/40 B 11/34 U K	
(21) 出願番号	特開平10-195181	(71) 出願人	398038580 ヒューレット・パカード・カンパニー HEWLETT-PACKARD COM PANY アメリカ合衆国カリフォルニア州/ロサンゼルス ト ハノーバー・ストリート 3000 サミュエル・ディー・ナフサガー アメリカ合衆国コロラド州/90525, フォー ト・コリンズ, アッシュムウント・ドライ ヴ・3749 (72) 発明者 ケビン・エックス・ツァンガ アメリカ合衆国コロラド州/90525, フォー ト・コリンズ, ハメル・レイン・5652 (74) 代理人 井理士 古谷 肇 (外2名)	
(22) 出願日	平成10年(1998) 7月10日	(73) 優先権主張番号	8 9 1 1 7 3	
(31) 優先権主張国	米国 (US)	(32) 優先権主張日	1997年7月10日	
(33) 優先権主張日	1997年7月10日	(34) 優先権主張国	米国 (US)	

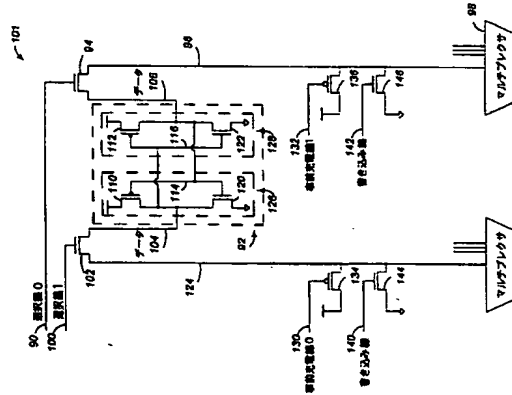
審査請求 未請求 請求項の数 1 OL (全 13 頁)

(54) 【発明の名称】 シングルエンド読み取りデュアルエンド書き込みSRAMセル

(57) 【要約】

【課題】 読み取り速度が速い、予備ポートの追加が容易なスタティックランダムアクセスメモリ (SRAM) セルを提供する。であり、

【解決手段】 1つ以上の記憶素子 (92, 182, 184) を有する、単一の伝送回路 (96) により読み出しコンポーネント (98) に接続された、スタティックランダムアクセスメモリ (SRAM) セルである。各記憶素子 (92, 182, 184) はスイッチ (94) を介して伝送回路 (96) に接続され、1回に1つの記憶素子が伝送回路 (96) に起動状態で接続可能である。読み出しコンポーネント (98) は、起動状態の記憶素子 (92, 182) もしくは (184) に記録される値を示す出力を発生し、さらに伝送回路 (96) を切り替える。



【0009】記憶素子に関連スイッチによって伝送回線に電気的に接続されると、1つ以上の記憶素子に対して記憶素子に新しい値を送り込む伝送回線に電圧脈を切り替えることができるように、値は書き込まれる。望ましい実施態様の各記憶素子毎に、2つの入力/出力(1/O)ポート、すなわち1/Oポート及び反転1/Oポートが設けられている。1つの伝送回線を1/Oポートに接続し、第2の伝送回線を反転1/Oポートに接続することによって、2つの読み取りポートが得られる。2つの読み取りポートのそれぞれは、所望の場合、各読み取りポートによって別個にかつ同時に記憶値を読み取ることができるようにするため、読み出しコンポーネントが接続されている。この望ましい実施態様の場合、2つの1/Oポートの両方を利用して、値は1つ以上の記憶素子に対して書き込まれる。第1と第2の伝送回線は、それぞれ切り替えて可能にアースに接続されるので、1/Oポートと反転1/Oポートのいずれかに、0の値を表す、ほぼ接地電位に等しい電圧レベルを送り込んで、1つ以上の記憶素子に0と1のいずれかが記憶されるようにすることが可能である。

【0010】【発明の実施の形態】本開示において、素子が「電気的に接続されている」と称される場合、これは、1つの素子からもう1つの素子に電気的な信号を受け渡すことができるという意味である。例えば、以下の説明においては、記憶素子は、ワイヤ及びトランジスタによってセンサに物理的に接続することが可能であるが、トランジスタがオフであって、電気的な信号が阻止されるので、信号は記憶素子からセンサに送られない。

【0011】もちろん、本明細書において図示され、解説される、本発明の特定の実施態様は例示的なものであっても、本発明の望ましい例を示すことによって、当業者がそれを完全に理解し、利用できるようにすることを意図したものである。本明細書において図示され、解説されたものではない。

【0012】本発明については、図1～3に示された従来技術を参照することによって最もよく理解できるであろう。

【0013】図1には、従来技術によるSRAMセルが示されている。従来技術によるSRAMセルの供給電圧は、一般的には5ボルト又は3ボルトの供給電圧といったように、2ボルトを大幅に超える。

【0014】ビット値は、記憶素子10に記憶される。記憶素子10は、いつでも、互いに反転した値を有する。2つの入力/出力(1/O)ポート4、6を備えている。一般に、記憶素子10をできるだけ小さく、単純にするこ

ることが可能である。一般に、用いられるFETが大いほど、あるいは多いほど、接続ワイヤにおける迅速な電圧変化の駆動に消費する電力が多くなる。4つのFETだけで構成される記憶素子からの読み取り時には、単一FETが各ビット線にスルーを生じさせなければならぬ。従って記憶素子10は、その出力において状態変化を迅速に駆動することができない。

【0015】選択線12(SEL ECT)が、スイッチFET14及び16のゲートに接続される。読み取り又は書き込み操作時には、選択線12が起動され、スイッチFET16によって、記憶素子10の1/Oポート6がビット線22に接続され、スイッチ14によって、記憶素子10の反転1/Oポート4がビット線20に接続される。

【0016】値は、記憶素子10に対して、ブルダウン(pulldown) FET36及び40を起動するそれぞれ書き込み線32(WR')及び34(WR)によって書き込まれる。書き込むべき値如何によって、書き込み線32と書き込み線34のいずれかが起動される。記憶装置10に1を書き込むためには、反転1/Oポート4が接地電位までブルダウンされ、0を書き込むためには、非反転1/Oポート6が接地電位までブルダウンされる。この開示において、アースは、38において示されるように、三角形で示されることに留意されたい。供給電圧Vddは、28に示されるように「T」字を形成する水平線として示されている。

【0017】従来技術によるSRAMセルは、単調の場合が多く、セルの動作は、2つのクロック状態、すなわち事前充電状態と評価(evaluation)状態に分割される。単調システムの場合、読み取り及び書き込み操作は、評価状態中に行われなければならない。ビット線はVddまでブルアップ(gullup)するよりも、ビット線を接地電位(logic high state)になるまで事前充電を施すことにより、速度が速められることになる。図1の事前充電線24(PCHG)が起動され、さらにブルアップFET26及び30が、ビット線20及び22に接続され、それらをハイレベルに事前充電してVddとする。評価状態中、事前充電線24は停止し、ブルアップFET26及び30がオフになる。従って読み取り操作中、記憶素子10に必要な値は、ビット線20と22のいずれかを論理的なローレベルにブルダウンし、もう一方は事前充電による論理的なハイレベルのままでおくことだけである。

【0018】値は、事前充電線24を使用禁止にしてかつ選択線12を起動して、記憶素子10をビット線20及び22に接続することによって、記憶素子10から読み取られる。従来技術によるSRAMセルは、デュアルエンド(dual-ended)読み取りシステムであり、2つのビット線を検査して、記憶素子10の2つの反転1/Oポート4及び6から伝送される値を確認する必要がある。記憶素子10

は、ビット線20及び22に接続されるので、記憶されたビットの値に基づいて、ビット線20及び22の一方が接地電位までブルダウンされ、それと同時にもう一方は事前充電によるハイレベルのままで維持される。センス増幅器42は、2つのビット線20及び22間におけるわずかな電位差を出力するために使用され、結果として回路46にデジタル出力が生じる。単純な記憶素子10によって、ビット線20及び22が、高供給電圧Vddから接地電位まで完全にブルダウンされるのを待っていること、望ましくない遅延が付加される。センス増幅器を使用することにより、ビット線20及び22の一方にVddから接地電位までの完全なスルーが生じるのを待つことなく、ビット線20及び22のビット値を読み取ることが可能になる。センス増幅器42は、読み取り操作の開始から一定量の時間だけ遅延するようにハードワイヤード(hard-wired)が施されたクロック線44によって起動される。この時間長さは、ビット線20及び22に、供給電圧からの数百ミリボルトのスルーダウンが生じ、センス増幅器42が確実にその差を検出することができるようになるに要する最悪の場合の時間として、あらかじめ計算される。

【0019】センス増幅器42が差を検出するのに必要とする数百ボルトのスルーは、供給電圧レベルを下げることで低減されない。この最低スルーレベルは、ノイズとトランジスタの整合係数によって固定される。

【0020】一般に、センス増幅器42の出力回路46が他のSRAMセルの出力と共にマルチプレクサ30に接続されることによって、当該技術の通常の技術者によって周知の構成において、図示しないアドレス回路素子を用いて異なるメモリ位置の読み取りが可能となる。

【0021】従来技術によるSRAMセルは、単一ポート(single-port)SRAMであり、1回につき1つの読み取り操作しか実施できない。SRAMセルは、複数の読み取り操作を同時に実施できるように拡張される場合が多い。図2には、2つの同時読み取り操作を可能にする。従来技術によるデュアルポートSRAMセルが示されている。第2のポートを追加するには、スイッチFET62及び64を備えた第2の選択線60、2つの新たなビット線66と70及び第2のグループをなす読み取り及び事前充電回路要素76の追加が必要である。従って記憶素子10の読み取りは、選択線12を起動し、回路要素グループ74を介して記憶ビット値を読み取るか、あるいは選択線60を起動し、回路要素グループ76を介して記憶ビット値を読み取ることによって、2つの異なるポートで個別に実施することが可能である。SRAMセルは、両方のポートによって同時に読み取ることができるので、記憶素子10は、いつでも、ビット線20と66、又は22と70を接地電位にブルダウンすることが必要になる可能性がある。記憶素子10の各1/Oポート4又は6に、1つではなく、2つのビット線が接続されると、配線サイズが拡大するので、キャパシタンスが増大し、状態を変化させるのに

より多くの電力が必要になる。記憶素子10の負荷が増すので、電圧のスローにより緩慢になる。従って、ハードワイヤードによるクロック線44及び72の最悪の場合の遅延はさらに延長されなければならない。

【0022】メモリスステム全体のサイズを縮小するため、図3に示すように、関連する書き込み、事前充電及びセンス増幅器回路素子に関して、1対のビット線20及び22に複数の記憶素子10、80、82等を接続することによって、センス増幅器数が最小限に抑えられる。しかしながら、その関連センス増幅器に関してデュアルエンドビット線の使用は、サイズ面で不利になるため理想的ではない。各センス増幅器に多数の記憶素子を接続することにより、この不利を最小限に抑えると、センス増幅器を利用する利点が多少相殺されることになる。速度の面で不利を被る。1対のビット線に新たな各記憶素子が追加されるので、システムのキャパシタンスが増大し、電圧の変化が緩慢になる。

【0023】従ってシステムの速度を改善するためにセンス増幅器を使用すると、サイズが増大される。センス増幅器数を最小限にとどめることにより、この拡大されるサイズを縮小すると、やはりシステムが減速され、センス増幅器の速度の利点が相殺される。センス増幅器及び2つのビット線を有するシステムに予備のポートを追加すると、サイズが大幅に拡大され、システムがさらに減速される。したがって容易にポートを追加することが可能なより高速で、より小形のSRAMセルが依然として必要とされている。

【0024】本発明では、さらに詳細に後述するよう

に、記憶素子におけるビット値を読み出すためのより単純な方法及び装置を提供することによって、部分的にこれらの目的が達成される。

【0025】図4には、本発明によるSRAMセル91が示されている。SRAMセル91は、1つの記憶素子と、単一ポートを備えており、スイッチ94に介してビット線96に切り替え可能に接続される記憶素子92が含まれている。スイッチ94は、選択線90(SEL ECT)によって起動される。記憶素子92に記憶された値は、ビット線96の状態だけに基づいて、センサ98によって確認される。

【0026】図5には、1つの記憶素子によって確認される。本発明による単調デュアルエンド(single-ended)読み取り/デュアルエンド書き込み二重ポート(dual-port)SRAMセル101が示されている。このSRAMセル101の供給電圧は、約2ボルト未満が望ましい。本開示において、「論理的なハイ」なる言葉は、供給電圧Vddに實質的に等しい電圧レベルを表しており、1の値と解釈される。「論理的なロー」なる言葉は、接地電位に實質的に等しい電圧レベルすなわち0ボルトを表しており、0の値と解釈される。

【0027】記憶素子92は、1対のインバータ126及び128を形成する4つのFET110、112、120及び122から構

成される。インポート126及び128は、下記のように、セ
 の入力114及び116の論理的反転を生じる働きをする。第
 1のインポート128の入力114が、論理的なハイとなる
 と、ブルアッpf E T110がオフになり、ブルダウdf
 E T120がオンになって、出力104がアースに接続され、
 結果として論理的なローを生じる。入力114が、論理的
 なローとなると、ブルダウdf E T120がオフになり、
 ブルアッpf E T110がオンになって、出力104が供給電
 圧 (V_{dd}) に接続され、結果として論理的なハイを生じ
 する。出力106はデータ (DATA) と呼ばれる。出力104は
 データ' (DATA') と呼ばれるが、ここでDATA
 'は、論理的反転を施されたDATAである。

【0 0 2 8】1対のインポート126及び128は、共にルーブ内で、ビット値を記憶する働きをする。第1のインポート126の出力104は、第2のインポート128の入力116に接続される。第2のインポート128の出力106は、第1のインポート126の入力114に接続される。例えばインポート126が出力104及びインポート128の入力116には論理的なロー状態が結果として生じる。インポート128の入力116に論理的なロー状態が生じると、出力106に論理的なハイ状態が結果として生じ、第1のインポート126の出力104においてルーブを開始した論理的なハイ状態が強められる。セルに電力が供給されている限り、ビット値はルーブ内に保持される。

【0029】選択線90 (SEL0) によって、スイッチFE T94が動作すると、記憶素子92の出力106 (DATA A) が、読み取り及び書き込み操作のためにビット線96に電気的に接続され、記憶素子92が、事前充電操作のためにビット線96から切断される。選択線100 (SEL1) によって、スイッチFE T102が動作すると、同様

【0030】図5に示す現在のところ望ましいSRAMセルの実施態様は、2つのクロック状態、すなわち事前充電状態と評価状態に分割される単回システムである。事前充電状態時には、事前充電線0130 (PCHG0)及び叩打電線1132 (PCHG1)が駆動され、ブルアップアンプE1T134及びE136を介してそれぞれビット線24及び696がVddに接続される。評価状態時には、読み取り及び書き込み操作が行われる。

【0031】図5のSRAMセルの実施態様は、2つのビット線を利用した、デュアルエンド書き込みシステムである。上述のように2つのインバータ26、28を含む。配線素子10の場合、新たなビット値の書き込みは、記憶すべき値に基づいて、いずれかのインバータの入力をブッダウニングすることによって実施可能である。

【0032】例えば、記憶素子10に論理的なロ一値を書き込むには、事前充電線132（PCHG1）が使用禁止にされ、次に書き込み線142（WR）が起動され、ビット

ト線96がブルダウフENT146を介してアースに接続される。選択線90 (SEL0) も起動され、ビット線96が第1のインバータ128の入力14に接続されて、記憶ルーブにおける値が変化する。書き込み操作の第1の部分において、第2のインバータ128のブルダウフENT14の入力は、依然としてオンであり、第1のインバータ128の入力は、論理的なハイ状態に保持しようとする。従ってブルダウフENT14及び146のサイズがブルダウフENT110及び112より大きいので、書き込み操作時、ブルダウフENTは、ビット線96を低レベルに圧倒する。記憶線130 (PCHG0) が使用禁止とされ、次に書き込み線140 (WR') が起動されて、ビット線124がブルダウフENT14を介してアースに接続される。選択線100 (SEL1) も起動され、ビット線124が第2のインバータ128の入力14に接続されて、記憶ルーブの値が論理的なハイに変化する。

【0033】図5S RAMセルの実施態様は、シング
ルビット線1つだけ
で構成される。ビット線は1つだけ
で構成される。配電素子10に対する新たな値の書き
込みを可能にするため、2つのビット線12及び9が示
されているが、専ら充電電圧アップFET 13を用い
て書き込まれる。同時にプルダウンFET
14を用いて、論理的なロー値を書き込むといった
2つのビット線が必要とせずに、他のさまざまな
方法で書き込みが実施可能である。本発明は、読み取
り操作に単一のビット線だけが必要としない。例え
ば、配電素子10からDATA入値を読み取るには、選択線
15が出力106がスイッチFET 17を介してピ
ット線96に接続される。配電素子10の供給電圧は、実質
的に2ボルトより低いことが望ましく、ビット線96に供
給電圧へのより低い値の引きはけずし点 (trip
point) へのより低い値を生じさせることにより、イ
ンバータのより大きなマルチプレクサによるビット値の抽出
が可能になる。一般的なコンポーネントの引きはけずし点
は、供給電圧の約60〜70%である。一般にSRAM回路
要素に既に含まれているマルチプレクサを使用すること
によって、従来の技術のセンス増幅器のサイズ制限が回避
される。従ってビット線に接続される配電素子の数を減
少させて、スループット (slew rate) を増やすことが可
能である。ビット線当たりの配電素子が十分に少ないシ
ステムとすることにより、本発明は従来の技術によるセン
ス増幅器及び選択回路要素を使用するSRAMセルより
一層速い動作が可能であり、加えてより少ないコンポー
ネント及びワイヤを必要とするのみである。

【0034】図5に示すSRAMセルは、下記の相対的SETサイズを備えるように構成することが可能である：

[0035]

【表1】

FET	94	102	110	112	120	122	134	136	144	148
94/4	3	3	1	1	5	5	3	3	3	3

【0036】図6の四重ポート（quad-port）SRAMセル150によって例示のように、追加ポートを加えることが可能である。新たな各ポートは、選択線、スイッチFET、ビット線及び事前充電回路の追加を必要としない。この例におけるビット線のうちの2つが書き込み回路要素を必要とする、すなわち記憶素子92の各1ノポート104及び106に対して1つのビット線だけが、書き込み回路要素を必要とするという点に留意された。PORT1は、図5に開示したSRAMセル101における回路要素と同じとすることが可能である。予備ポート2164（PORT2）は、図示のように、選択線2152（SEL2）、スイッチFET156、ビット線172及び順連の事前充電回路要素を必要とする。ビット線174に含まれているのは、1ノポート104の書き込み回路要素が必要とするので、ビット線172は、書き込み回路要素を必要としない。予備ポート3166（PORT3）も、図示のように、選択線3154（SEL3）、スイッチFET160、ビット線174及び順連の事前充電回路要素を必要とする。ビット線174は、書き込み回路要素が必要としない。

【0037】図7には、対のビット軌24及び96に接続された仮想記憶素子92、182及び184が含まれる点を除けば、図5に関しての上記のSRAMセル101と同一とする。ビット数が可能なSRAMセル180が示されている。ビット軌184に対する記憶素子は、メモリ回路構成全体に対するサイズ対速度の希望のバランスがとれるように最適化することが可能である。本SRAMセルは、ビット軌184に当分の記憶素子を十分に少なくすることにより、従来技術におけるSRAMセルより一層高速で、かつ一層小形となる。

【0038】本発明の例証となる、現在のところ望ましくもいえない実施態様について述べてきたが、言うまでもなく、本発明の概念は、別様にさまざまな具現化し、適用することが可能であり、付属の請求項は、従来技術による制限を除外して、こうした変更が含まれると解釈されることを意図したものである。

【0003】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【0004】1. ビット線 (96) と; 1つ以上の記憶素子 (92, 182, 184) と、各記憶素子は、記憶値を保持しており、1つ以上の選択スイッチ (94) を介して前記ビット線 (96) に切り替え可能に接続されること、前記1つ以上の選択スイッチ (94) は、前記1つ以上の記憶素子 (92, 182, 184) によって記憶された記憶値を、

子 (92, 182, 184) の「つから前記ビット線 (96) へ伝送値として前記記憶値を伝送するためのスイッチであること; 前記ビット線 (96) に接続されるセンサ (98) と、該センサ (98) は前記ビット線 (96) に生じる前記伝送値だけに基づく出力を発生すること、を含むことを特徴とするメモリセル。

【0041】2. 前記配線素子 92、182、184) に入力 (114) 及び出力 (104) を備えた第 1 のインポート (126) と、入力 (116) 及び出力 (106) を備えた第 2 のインポート (128) が含まれること、前記第 1 のインポート (126) の出力 (104) が、前記第 2 のインポート (128) の入力 (116) に接続され、前記第 2 のインポート (128) の出力 (106) が、前記第 1 のインポート (126) の入力 (114) に接続される、1 項に記載のメモリセル。

【0042】3. さらに、定電圧レベルを供給し、書き込みスイッチ (146) を介して前記ビット線 (96) に切り替え可能に接続するためのき込み電圧源と、前記1つ以上の選択スイッチ (94) が前記ビット線 (96) を前記1つ以上の記憶素子 (92, 182, 184) の1つ以上に接続するとき、前記書き込みスイッチ (146) を制御する。これにより、前記書き込み電圧源を前記ビット線 (96) に接続し、前記定電圧レベルを前記1つ以上の記憶素子 (92, 182, 184) に送り込む。き込み線 (142) とを含む1項又は2項に記載のメモリセル。

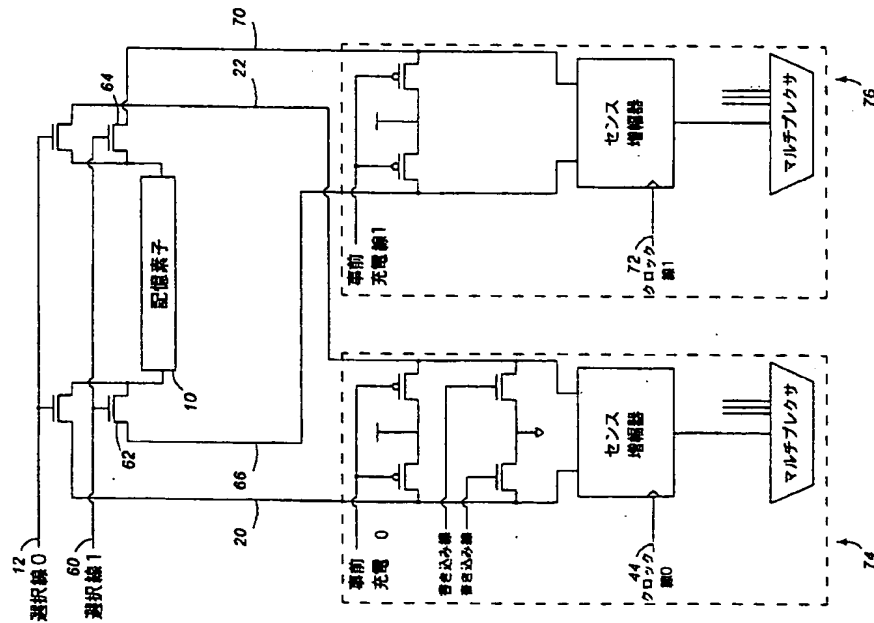
【0043】4. さらに、定事前充電電圧レベルを保持し、事前充電スイッチ (136) を介して前記ビット線 (96) に切り替え可能に接続される事前充電電圧源と、前記事前充電スイッチ (136) を制御して、前記事前充電電圧源を前記ビット線 (96) に接続し、前記定事前充電電圧レベルまで前記ビット線 (96) に充電を施すための事前充電電圧 (137) を含む 1〜3 項のいずれか 1 項に記載のメモリセル。

【0044】5. 前記センサ (98) がインバータからなる1〜4項のいずれか1項に記載のメモリセル。

【0045】6. 前記センサ (98) がマルチプレクサからなる1〜4項のいずれか1項に記載のメモリセル。

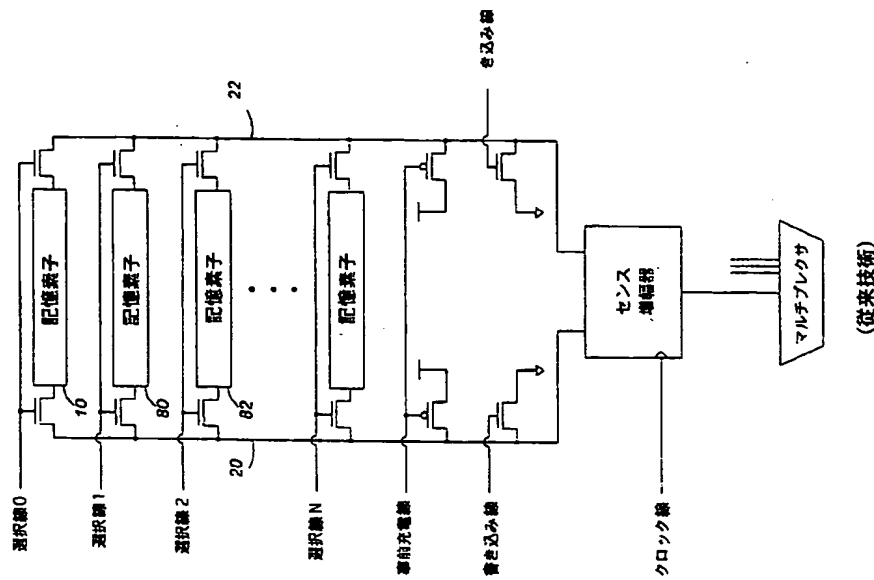
【0046】さらに、第2のビット線(124)と、前1つ以上の第2の選択スイッチ(102)に接続され、前1つ以上の第2の選択スイッチ(102)を制御することによって、前記1つ以上の第2の選択スイッチ(102)を紹介し前記1つ以上の記憶素子(92、182、184)に切り替え可能に接続される第2のビット線(124)に切り替え可能に接続される第2の選択スイッチ(102)が前記1つ以上の記憶素子の第2の選択スイッチ(102)として動作する。

【図2】



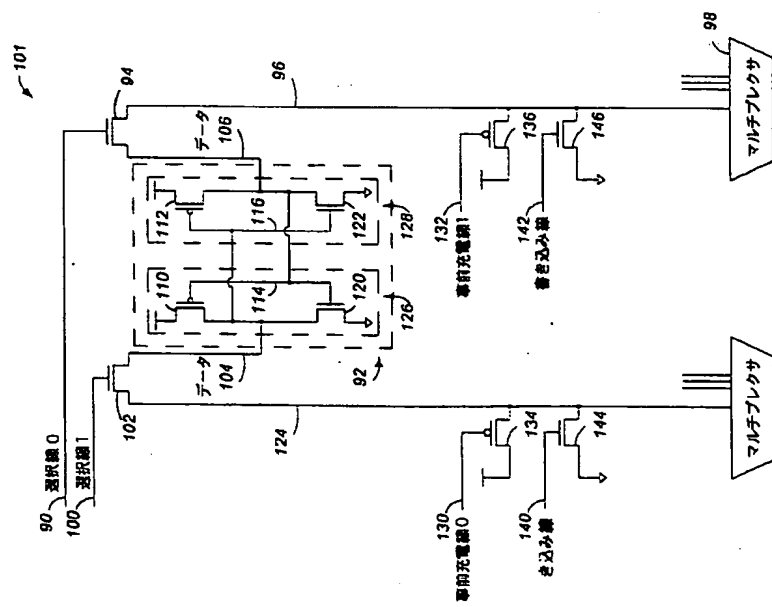
(従来技術)

【図3】

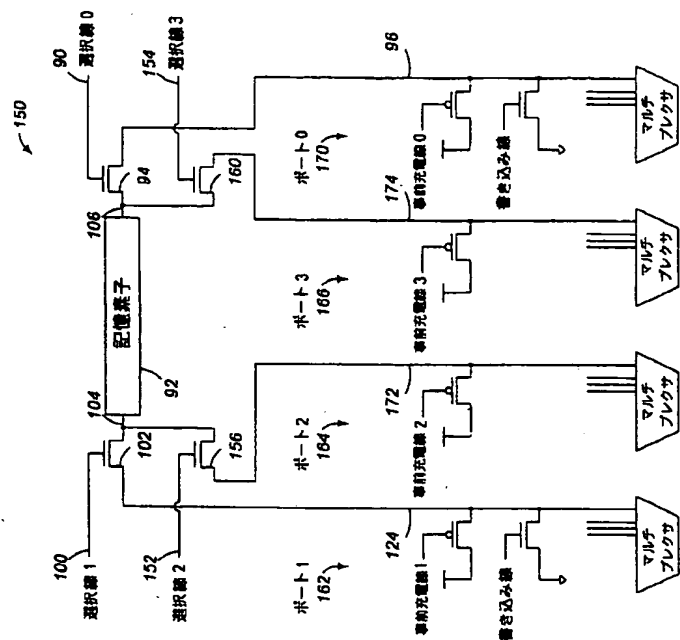


(従来技術)

【例5】



【例6】



【図7】

